

Power and ground shield mesh to remove both capacitive and inductive signal coupling effects of routing in integrated circuit device

Patent number: TW285953 (B)
Publication date: 2007-08-21
Inventor(s): HO IU-MENG TOM [US] +
Applicant(s): SYNPLICITY INC [US] +
Classification:

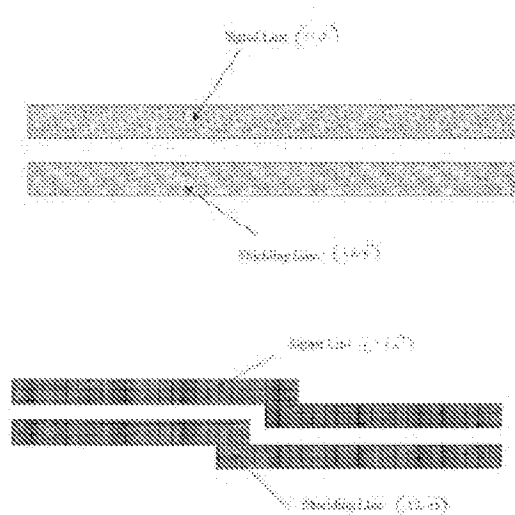
Also published as:

US2003201472 (A1)
US6734472 (B2)
US2004178424 (A1)
US7217887 (B2)
US2009032846 (A1)

- **international:** *H01L21/82; H01L21/822; H01L23/522; H01L27/04; H01L27/118; H01L29/66; H05K9/00; H01L21/70; H01L23/52; H01L27/04; H01L27/118; H01L29/66; H05K9/00* more >>
- **europaean:** H01L23/522C6; H01L27/118
Application number: TW20020118025 20020809
Priority number(s): US20020132996 20020425

Abstract of TW 285953 (B)

A power and ground shield mesh to remove both capacitive and inductive signal coupling effects of routing in integrated circuit device. An embodiment describes the routing of a shield mesh of both power and ground lines to remove noise created by capacitive and inductive coupling. Relatively long signal lines are routed in between fully connected power and ground shield mesh which may be generated by a router during the signal routing phase or during power mesh routing phase. Leaving only the odd tracks or the even tracks for signal routing, power mesh (VDD) and ground mesh (VSS) are routed and fully interconnected leaving shorter segments and thereby reducing the RC effect of the circuit device. Another embodiment presents a technique where the signals are shielded using the power and ground mesh for a gridless routing. Another embodiment presents a multi-layer grid routing technique where signals are routed on even grid and the power and ground lines are routed on odd grid. A similar embodiment represents grid routing technique where the signals are routed between layers N and N+1. Another embodiment enables signals to be shielded by opposite power and ground grids on left, right, top and bottom. Additional embodiments also include utilization of similar mesh utilized in standard cell and/or in the gate array routing area or any other area where any other signal line is to be shielded.



I285953

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
美國 2002年04月25日 10/132,996 ☒有 ☐無 主張優先權

有關微生物已寄存於：

寄存日期：

，寄存號碼：

裝

訂

線

五、發明說明 (1)

發明背景

發明領域

本發明的領域係關於，解決因積體電路裝置信號中電容性及電感性耦合所引起的問題。當業界朝降低電路裝置尺寸的方向前進及發展時(舉例來說，從0.25微米技術演變成0.18微米、0.15微米、0.13微米甚至更小)，此項信號中電容性及電感性耦合的特殊問題已經變得越來越嚴重。

相關技藝

隨著商用市場的成長及消費者對小型積體電路(IC-其可使用於各種應用中，如行動電話，錶型相機，及手持式記事簿等，僅列舉數項)的需求增加，IC的尺寸條件趨向於繼續朝外型更小，耗電量更低的方向發展。當該些IC的尺寸條件變小，半導體製造商便被迫設計遠小於過去的電路。從前，當業界從超大型積體電路(VLSI)發展成極大型積體電路(ULSI)時，電路本身相對的電容性及電感性耦合並未演變成嚴重的問題。

但是，當半導體業界以次微米等級(電路線路之間的間隔小於 10^{-8} 米)甚至更小等級的技術設計及實現電路時，對設計人員來說，電路本身內信號線的電容性及電感性耦合便是一項嚴重的問題。當電路尺寸越變越小，而信號線的相對距離越變越長時，信號線與接地或電源線路之間的耦合及/或串音問題便非常地明顯。再者，當信號線相對於接地耦合及/或其它信號線變強的時候，在特定的信號下，信號對雜訊比亦會成比例增加。當業界朝降低電路裝置尺寸的

五、發明說明(2)

方向前進及發展時(舉例來說，從0.25微米技術演變成0.18微米、0.15微米、0.13微米甚至更小)，此項信號中電容性及電感性耦合的特殊問題已經變得越來越嚴重。

先前技藝中，其中一種最小化信號對雜訊比(或電容性及電感性耦合)的方式係增強信號驅動位準。藉由提高信號強度，整體的信號對雜訊比便會降低。不幸的係，為提高信號強度，該裝置亦必須配備較大的電源。此種解決方式並不符合現代的降低IC電源消耗以解決熱問題、攜帶性問題、及環境問題的趨勢。除了需要較高的電源之外，該項先前技藝的方式亦無法消除耦合的問題。

先前技藝中，另一種方式則係降低信號線的有效(R-L-C)阻抗，從而增加信號線之間的間隔。一般來說，利用三褶層增加信號線之間的間隔，僅能降低百分之五十的耦合效果。此項先前技藝方式通常會結合第一項先前技藝方式，以最小化耦合效果，並且降低信號對雜訊比。此種方式並不符合現代的電路精簡性的趨勢。

先前技藝中，還有另一種方式則係利用供應電壓，如VDD，或接地，對信號線進行遮蔽。使用此項先前技藝方式，屏蔽線路(接地)必須夠寬(具有低阻抗)，方能讓該屏蔽本身不至於傳送雜訊給其它信號線。

圖1所示的係，增加信號強度的先前技藝方式，結合在信號線附近提供屏蔽線路的先前技藝方式。如圖中符號100所示，信號線110係沿著屏蔽線120佈線，該屏蔽線係用以遮蔽來自隔壁信號線的雜訊。對次微米技術而言，與線路厚

五、發明說明(3)

度比較起來，信號線及屏蔽線的長度都能夠非常長，因此在特定基板中的該電路內，會導致很高的信號對雜訊比或串音。

所以，必須降低IC裝置佈線資源的電容性及電感性信號耦合效果。

發明概要

因此，本發明將最小化及降低因積體電路裝置中佈線的電容性及/或電感性信號耦合效果所引起的信號耦合效果。熟習本技藝的人士，閱讀下面各個圖式所示的較佳具體實施例的詳細說明之後，便可完全瞭解本發明的這些及其它目的及優點。

本發明揭露一種由電源及接地屏蔽篩孔所組成的電路，用以消除通經積體電路裝置內的電容性及電感性信號耦合效果。該屏蔽篩孔係包含於一般在IC之內的電源及接地格線中。該些屏蔽篩孔單元的配置方式係圍繞該積體電路的佈線資源。明確地說，本發明的其中一具體實施例敘述的係一種電源及接地線路的屏蔽篩孔佈線方法，用以消除電容性及電感性耦合所產生的雜訊。VDD及VSS(或接地)的篩孔線路係呈交替配置，而信號佈線資源則係放置於其中。該屏蔽篩孔可能係單層或多層。該屏蔽篩孔除了包含於電源格線中之外，並且可能連接至該電源格線。

當超深次微米(VDSM)技術繼續朝降低尺寸的方向發展時(舉例來說，0.18微米、0.15微米、0.13微米、0.11微米甚至更小)，該些信號線將會變得越來越容易受到電容性及電感

五、發明說明 (4)

性耦合，及來自其它隔壁信號線的雜訊的影響。較長的信號線會配置在完全連接的電源及接地屏蔽篩孔之間，其一般係在信號佈線階段期間，或電源篩孔佈線階段期間，由佈線器負責產生。在其中一具體實施例中，僅奇數路線或偶數路線係供作信號佈線使用，電源篩孔(VDD)及接地篩孔(VSS)經過佈線及完全互連之後，會留下較短的線段，從而降低該電路裝置的RC效果。

本發明的另一具體實施例則敘述一種技術，利用無格線佈線的電源及接地屏蔽篩孔，對信號進行遮蔽。本發明的另一具體實施例則呈現一種多層格線佈線技術，將信號佈置在偶數格線中，而電源及接地線路則佈置在奇數格線中。本發明相似的具體實施例則呈現一種格線佈線技術，將信號佈置N與N+1層之間。同時，本發明的另一具體實施例則可利用左邊、右邊、頂端、底端之中反向的電源及接地格線，對信號進行遮蔽。本發明的額外具體實施例亦包括使用標準單元中及/或閘極陣列佈線區域中，或有任何其它信號線欲進行遮蔽的任何其它區域中，所使用的的相同篩孔，從而降低電源或接地線路的有效電阻或RC成份。

更明確地說，本發明的其中一具體實施例所示的係一積體電路裝置，其包括：a)複數個配置在基板內的信號線；b)配置在該基板之上的電源格線，包括：複數條具第一厚度的電源線；及複數條具第一厚度的接地線，用以供應電源及接地給該基板電路的電源格線；及c)配置在該基板之上的屏蔽篩孔，包括：複數條具第二厚度的電源線；及複數

五、發明說明(5)

條具第二厚度的接地線，其中該複數條信號線中個別信號線係配置在該屏蔽篩孔的個別電源線與該屏蔽篩孔的個別接地線之間，用以降低該複數條信號線鄰近信號線之間的電子串音效果的屏蔽篩孔。包括上述的具體實施例，其中該屏蔽篩孔的電源及接地線係交替配置，且在該基板單一金屬層內相互平行。

其它的具體實施例一般都包括上述的積體電路，及其中該屏蔽篩孔的電源及接地線係交替配置於在該基板第一金屬層內相互平行的第一方向中，及其中該屏蔽篩孔的電源及接地線亦交替配置於在該基板第二金屬層內相互平行的第二方向中，該第二金屬層係位於該第一金屬層下方，而且其中該第一及第二方向成90度。

圖式之簡單說明

本發明將透過隨附圖式中的實例加以闡述，並非予以限制，其中相同的元件符號代表相同的元件，及其中：

圖1所示的係一屏蔽線及一信號線的俯視圖。

圖2所示的係根據本發明一具體實施例的屏蔽篩孔其中兩層的俯視圖，代表的係屏蔽篩孔的格線佈置圖。

圖3所示的係根據本發明另一具體實施例之屏蔽篩孔的二維平面圖，其中位於VDD及VSS線路之間，厚度相同的信號線1及2係位於同一層。

圖4所示的係屏蔽篩孔的俯視圖，其包括兩個相鄰層，如圖所示，信號線、VDD與VSS線路各位於其中一層，該兩層之間則有適當的通道。

五、發明說明 (6)

圖5所示的係屏蔽篩孔的垂直剖面圖，其具有含信號線、VDD與VSS線路的數層，而在奇/偶格線路線之上則有適當的通道。

圖6所示的係屏蔽篩孔的其中兩個相鄰層的俯視圖，代表的係無格線佈線技術中的信號線、VDD與VSS線路，及其適當的通道。

圖7所示的係屏蔽篩孔的無格線佈線具體實施例的垂直剖面圖，所顯示的係含VDD與VSS線路的信號線，及其適當的通道。

圖8所示的係根據本發明一具體實施例，該基板之上電源格線內的屏蔽篩孔。

圖9所示的係根據本發明另一具體實施例，該基板之上管道內及該基板之上區塊內的屏蔽篩孔。

圖10所示的係一方塊圖，描述從邏輯解析、放置機、佈線機、至捲帶機的過程。

發明之詳細說明

現在將詳細地參考本發明的具體實施例，一種用以消除通經ASIC晶片內電容性及電感性信號耦合效果之屏蔽電源及接地篩孔，其實例圖解於隨附的圖式中。雖然本發明將結合較佳的具體實施例加以說明，不過可以理解的係，並不希望本發明限制於該些具體實施例中。相反地，本發明希望涵蓋所有的替代例、修改、及等效例，其都係包含於隨附申請專利範圍所定義的本發明精神及範圍中。再者，在後面的本發明詳細說明中，將會提出各種明確的細節，

五、發明說明(7)

以便徹底地瞭解本發明。不過，對熟習本技藝的人士來說，顯見的係，即使沒有該些明確的細節，本發明亦可能實現。在其它的實例中，熟知的方法、程序、組件、及電路並不會詳細地敘述，以免不必要地混淆本發明的觀點。

本發明所述的係一種電路裝置，其包括複數條位於基板內，已知厚度的信號線，除了提供電源給該基板電路之外，亦可充當屏蔽篩孔，用以降低該電路內該複數條信號線的鄰近信號線之間的串音效果。

如圖1中的符號100所示，信號線110係沿著屏蔽線120佈線，接著便可利用其遮蔽來自隔壁信號線的雜訊。如前面所討論的，對次微米技術而言，與線路厚度(舉例來說，僅有0.13微米厚)比較起來，信號及屏蔽線的長度都能夠非常長(長達100微米)，因此在特定基板中的該電路內，會導致很高的信號對雜訊比或串音。

根據本發明的其中一具體實施例，200，圖2所示的係單一信號線210，在其兩側利用交替的VDD及VSS線路的三維屏蔽篩孔進行遮蔽。在另一層中，舉例來說，金屬4，該些交替的VDD及VSS線路則係垂直(呈90度)於前一層，舉例來說，金屬3，並且會在通道3、230，所形成的接點處，進一步地連接，以形成供信號線220使用的VDD及VSS屏蔽線路的三維屏蔽篩孔。根據本發明的其中一具體實施例，可以發現到，該屏蔽篩孔係包含於IC內，電源格線除了用以供應電源之外，亦可提供該電路接地。根據另一具體實施例，舉例來說，0.25微米的技術中，VDD及VSS線路的相對線

五、發明說明(8)

段距離可能會降低0.94微米。降低VDD及VSS的線段長度便可降低其有效的RC成份，從而降低雜訊的耦合效果。

根據本發明的另一具體實施例，300，圖3所示的係該屏蔽篩孔的平面透視圖，其中厚度相同的信號線310及320係交織於，同一層且厚度相同的交替的VDD及VSS線路之間。所以，圖3所示的係本發明的屏蔽篩孔的單層具體實施例。根據本發明的屏蔽篩孔的一具體實施例，圖3所示的係，因為該些相互耦合的屏蔽線路非常接近，並且該些屏蔽線路係由非常短的線段所組成的，所以能夠降低其有效的RC阻抗，從而進一步地降低信號線310及320之間的信號耦合效果。根據另一具體實施例，圖3亦顯示出，信號線310及320係由厚度相同的交替的VDD及VSS屏蔽篩孔所隔離，視所使用的技術而定，厚度能夠從0.25微米變成0.13微米，甚至當業界進一步地縮小尺寸時，還可以更小。

圖4所示的係屏蔽篩孔具體實施例400的俯視圖，其包括兩個相鄰的基板層，405A，405B，如圖所示，信號線(410、420及430)，交替的VDD與VSS線路各位於其中一層，在該使用格線佈置的兩層之間則有適當的通道。根據本發明的一具體實施例，每個通道都可提供層連接，亦可降低屏蔽篩孔的線段尺寸，並且從而降低有效的R-C電阻。非常重要值得注意的係，在層N之中，405A，如果信號線410、420及430都係位於奇數格線路線中的話，那麼，VDD與VSS線路則係位於偶數格線路線中，反之亦然。同樣地，在層N+1之中，405B，如果信號線440、450及460都係位於偶

五、發明說明 (9)

數格線路線中的話，那麼，VDD與VSS線路則係位於奇數格線路線中，反之亦然。

信號及屏蔽的多層佈線配置方式為：針對垂直空間，該路線配置不應該將信號路線直接放置在彼此的上方位置處，以避免上下耦合。舉例來說，如果在層N的信號係位於單數路線的話，那麼，佈線方向與層N相同的層N+2的信號，則可能會佈線於偶數路線中。此項策略可利用左/右，及上/下之中反向的電源/接地，對該些信號進行遮蔽。從而，進一步地降低線段長度，並且提高信號線之間的有效隔離，以降低雜訊耦合。

圖5所示的係本發明另一具體實施例500的垂直剖面圖，顯示的係該屏蔽格線篩孔的三維觀點。圖中顯示出數層，N至N+7，其中有信號及交替的VDD及VSS線路，及位於奇/偶格線路線中的適當通道。如圖5所示，該剖面圖係沿著信號線(510及520)，及VDD/VSS線路(分別為530及540)切割。如層N、層N+2、層N+4，及層N+6所示，VDD、信號、及VSS線路亦會如圖4所述地交替配置於奇、偶路線中。所以，圖5的屏蔽篩孔係呈格線對齊。本發明另一具體實施例則會利用如元件560A至560N所示的通道，連接相鄰的層。根據本發明的另一具體實施例，該多層屏蔽篩孔可降低每個組件的長度，從而根據本發明一具體實施例進一步地降低該耦合效果。

圖6所示的係本發明的另一具體實施例600，顯示出兩個相鄰層的俯視圖，其代表的係無格線佈線屏蔽篩孔中

五、發明說明(10)

的信號、及交替的VDD與VSS線路，及其適當的通道。如圖所示，信號線640係佈線於兩個相鄰層之中，並且利用無格線的篩孔進行遮蔽，其在同一層之中包括相鄰的VDD(620ABB)及VSS(630ABB)。在與該第一層呈90度對齊的另一相鄰層中，同一個信號線640則係以VDD(620B)及VSS(630A)線路進行遮蔽。在此實例中，信號線640會再度佈線於相隔90度的前一層中，並且以VDD(620ABA)及VSS(630ABA)線路進行遮蔽。同樣地，根據本發明的另一具體實施例，信號線610A，610B及610C的佈線亦能夠在兩個相鄰層(邊對邊)及垂直(上對下)層之中都進行遮蔽。該多層屏蔽篩孔可降低每個組件的長度，從而根據本發明一具體實施例，以無格線佈線技術進一步地降低該耦合效果。

圖7所示的係本發明的另一具體實施例700，圖中顯示的係無格線屏蔽篩孔的垂直剖面圖，顯示出信號、及交替的VDD與VSS線路，及其適當的通道用以在相鄰層之間作連接。如通道710及720所示，線段尺寸之間的距離並不受限於格線寬度。該無格線實例亦能夠在通道730及740中發現。根據本發明的另一具體實施例，尺寸可變動的通道，能夠越靠近越好，與其格線尺寸無關。利用非常靠近的通道，便可降低每條信號的相對線段長度，VDD或VSS的屏蔽篩孔。根據本發明的另一具體實施例，該屏蔽篩孔可用以提供一條路徑，用以將積體電路裝置連接至該主電源格線。如圖7所示，線路740係利用兩條短線段，710及720，連接至VDD或VSS的屏蔽篩孔，接著

五、發明說明 (11)

再連接至該主電源格線。

根據具體實施例800，圖8所示的係一積體電路，其在基板上具有一屏蔽篩孔(820)及一電源格線(810)。該屏蔽篩孔可用以消除串音的電容性及電感性效果，而該電源格線則可用以傳輸電源及接地給IC電路。電源格線線路遠大於屏蔽篩孔的VSS及VDD線路，其尺寸係調整成信號線的尺寸。根據此具體實施例，屏蔽篩孔線路與真實電源格線線路之間的尺寸可能相差2倍到10倍。不過，因為其線段長度相對較小的關係，工作中的屏蔽篩孔可降低欲相連的線路的有效RC成份。隨即便可降低雜訊及耦合效果，因此，該屏蔽篩孔能夠部署於會使用到佈線資源的任何基板區域中。

圖9所示的係具體實施例900，圖中顯示基板上區塊之間佈線管道(910)內及基板上區塊(920)內的屏蔽篩孔。如圖8所述，因為該屏蔽篩孔的線段長度相對較小的關係，該屏蔽篩孔可進一步地降低該佈線線路的有效RC成份，從而降低因為信號線之間的串音所產生的雜訊及耦合效果。

圖10所示的係EDA工具製程1000的流程圖，其中可能導入本發明的屏蔽篩孔。如本發明此具體實施例所示，通常會在步驟1010中以HDL撰寫初始碼，(舉例來說)之後便會在步驟1020進行邏輯解析。其次，便會在步驟1030進行電源格線放置。舉例來說，在點1040中，便能夠於使用基板格線的位置，導入如本發明其中一具體實施例中所描繪的屏蔽篩孔。此點之後，佈線機，1050，便可對該設計電路進

五、發明說明(12)

行佈線，並且處理其參數之內的屏蔽篩孔。此時，便可將該設計放置在捲帶機上(1060)。

不過，非常重要應該注意的係，並非一定要在基板格線中導入該屏蔽篩孔。如前面所述，本發明的另一具體實施例，可以無格線的設計方式，將該屏蔽篩孔導入一特定的基板上。對於無格線佈線來說，佈線機(1050)能夠將該屏蔽篩孔導入該基板上。

當消除電容性及電感性耦合相當重要時，便能夠使用完全連接的電源及接地屏蔽篩孔。此屏蔽的主電力可能來自該主電源格線幹線，或是屏蔽專用，雜訊較低的獨立電源及接地幹線。

此屏蔽篩孔亦能夠使用於標準單元或閘極陣列佈線區域、佈線管道或硬聚集頂端的佈線管道、資料匯流排佈線、控制匯流排佈線、定址匯流排佈線、類比信號佈線、時脈及時脈匯流排佈線、或任何其它信號線。

加入完全連接的電源及接地屏蔽篩孔之後，自動VDSM晶片佈線便能夠更加地安全無慮，並且可利用本發明實質消除大部分無法預期的耦合誤差。

四、中文發明摘要(發明之名稱：消除通經積體電路裝置內電容性及電感性信號耦合效果之電源及接地屏蔽篩孔)

本發明揭示一種電源及接地屏蔽篩孔，用以消除通經積體電路裝置內電容性及電感性信號耦合效果。其中一具體實施例敘述的係電源及接地線路的屏蔽篩孔佈線方式，用以消除電容性及電感性信號耦合所產生的雜訊。較長的信號線會配置在完全連接的電源及接地屏蔽篩孔之間，其可能係在信號佈線階段期間，或電源篩孔佈線階段期間，由佈線器負責產生。僅奇數路線或偶數路線係供作信號佈線使用，電源篩孔(VDD)及接地篩孔(VSS)經過佈線及完全互連之後，會留下較短的線段，從而降低該電路裝置的RC效果。另一具體實施例則呈現一種技術，利用無格線佈線的電源及接地屏蔽篩孔，對信號進行遮蔽。另一具體實施例

英文發明摘要(發明之名稱：

POWER AND GROUND SHIELD MESH TO REMOVE BOTH CAPACITIVE AND INDUCTIVE SIGNAL COUPLING EFFECTS OF ROUTING IN INTEGRATED CIRCUIT DEVICE)

A power and ground shield mesh to remove both capacitive and inductive signal coupling effects of routing in integrated circuit device. An embodiment describes the routing of a shield mesh of both power and ground lines to remove noise created by capacitive and inductive coupling. Relatively long signal lines are routed in between fully connected power and ground shield mesh which may be generated by a router during the signal routing phase or during power mesh routing phase. Leaving only the odd tracks or the even tracks for signal routing, power mesh (VDD) and ground mesh (VSS) are routed and fully interconnected leaving shorter segments and thereby reducing the RC effect of the circuit device. Another embodiment presents a technique where the signals are shielded using the power and ground mesh for a gridless

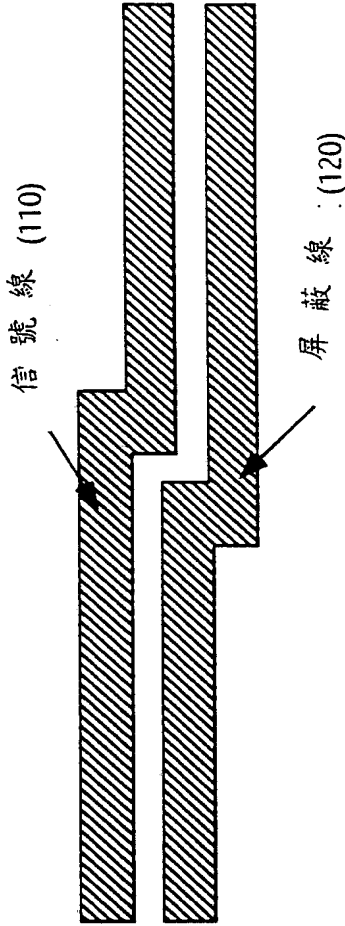
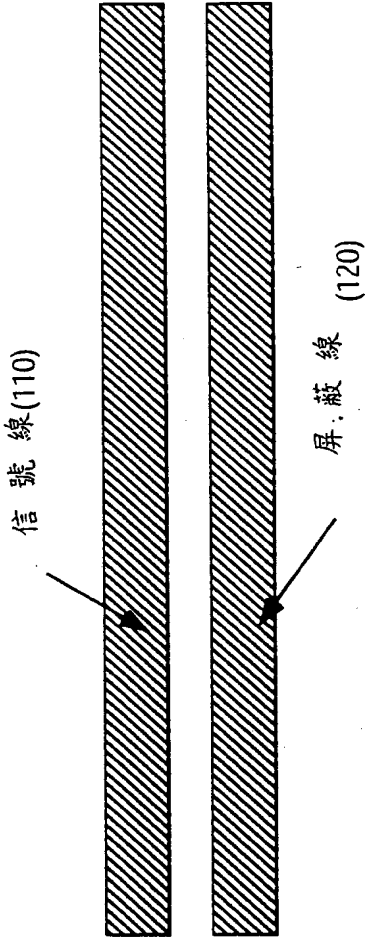
四、中文發明摘要(發明之名稱：)

則呈現一種多層格線佈線技術，將信號佈置在偶數格線中，而電源及接地線路則佈置在奇數格線中。相似的具體實施例則呈現一種格線佈線技術，將信號佈置N與N+1層之間。另一具體實施例則可利用左邊、右邊、頂端、底端之中反向的電源及接地格線，對信號進行遮蔽。額外的具體實施例亦包括使用標準單元中及/或閘極陣列佈線區域中，或有任何其它信號線欲進行遮蔽的任何其它區域中，所使用的相同篩孔。

英文發明摘要(發明之名稱：)

routing. Another embodiment presents a multi-layer grid routing technique where signals are routed on even grid and the power and ground lines are routed on odd grid. A similar embodiment represents grid routing technique where the signals are routed between layers N and N+1. Another embodiment enables signals to be shielded by opposite power and ground grids on left, right, top and bottom. Additional embodiments also include utilization of similar mesh utilized in standard cell and/or in the gate array routing area or any other area where any other signal line is to be shielded.

100



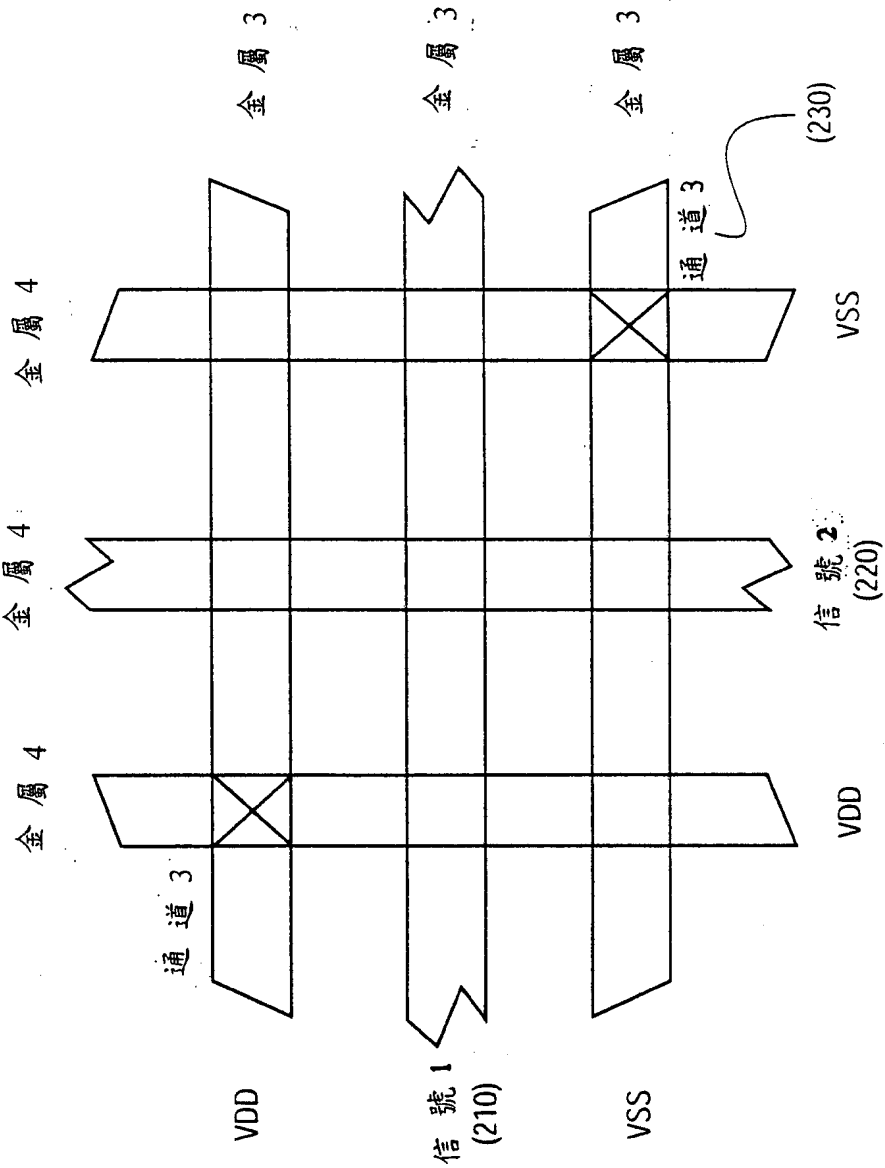


圖 2

300

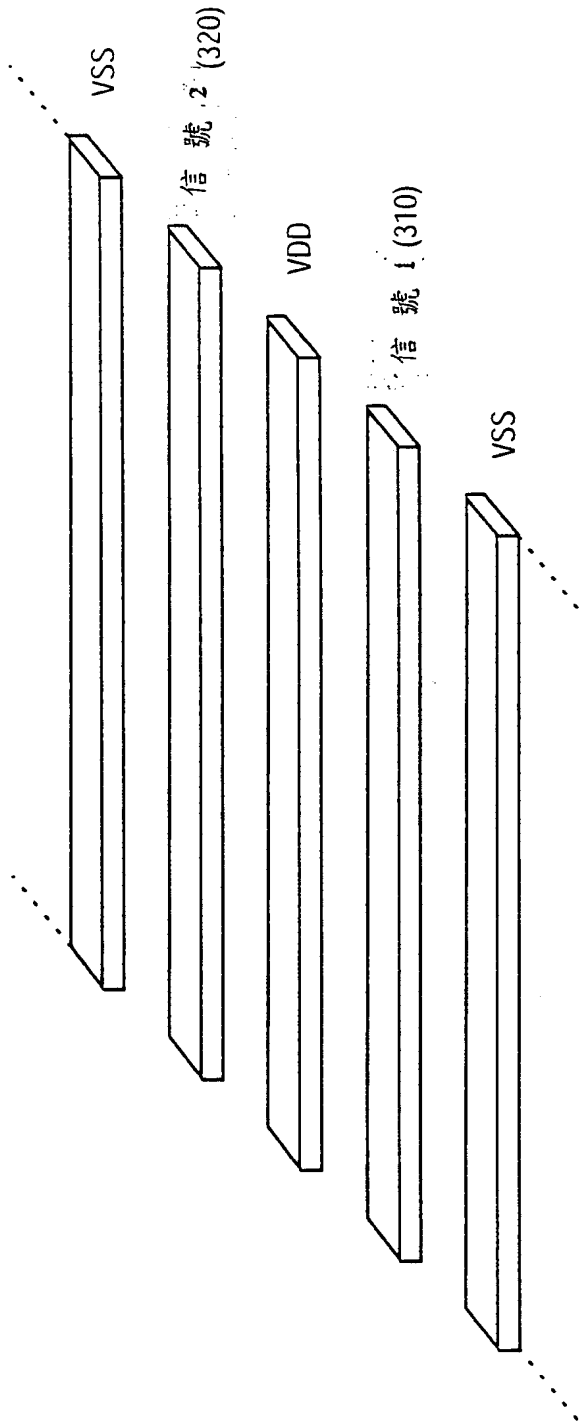
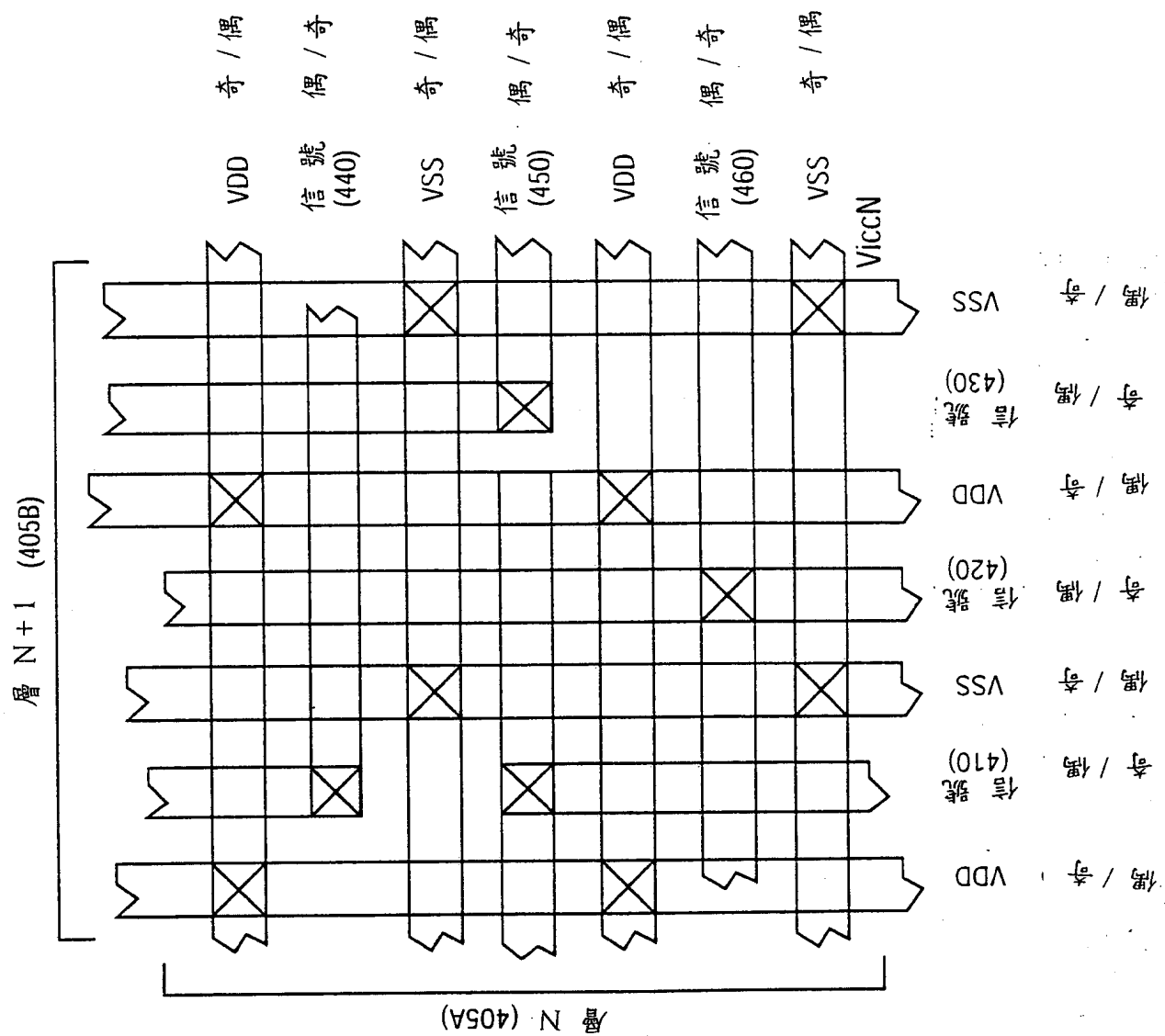
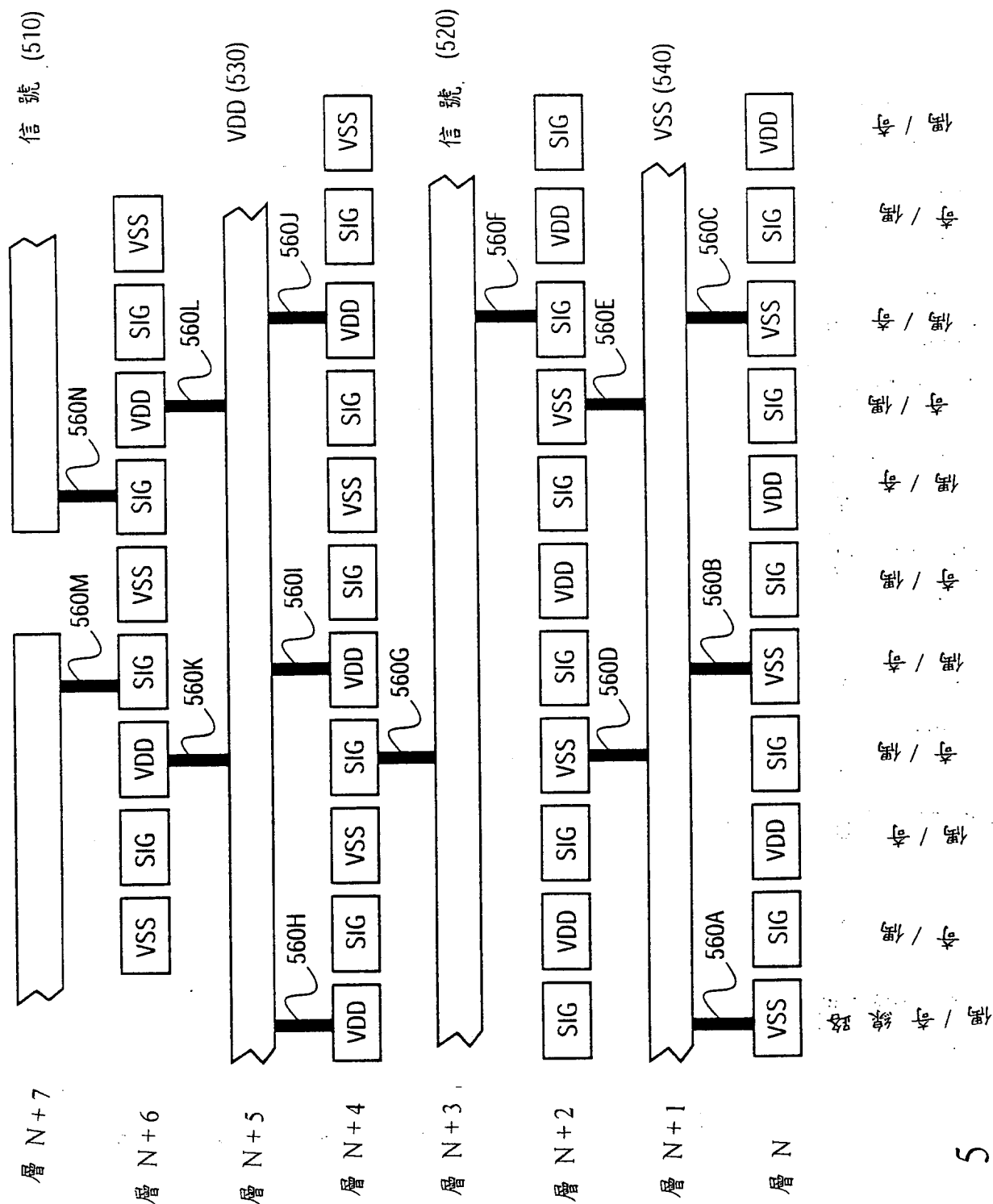
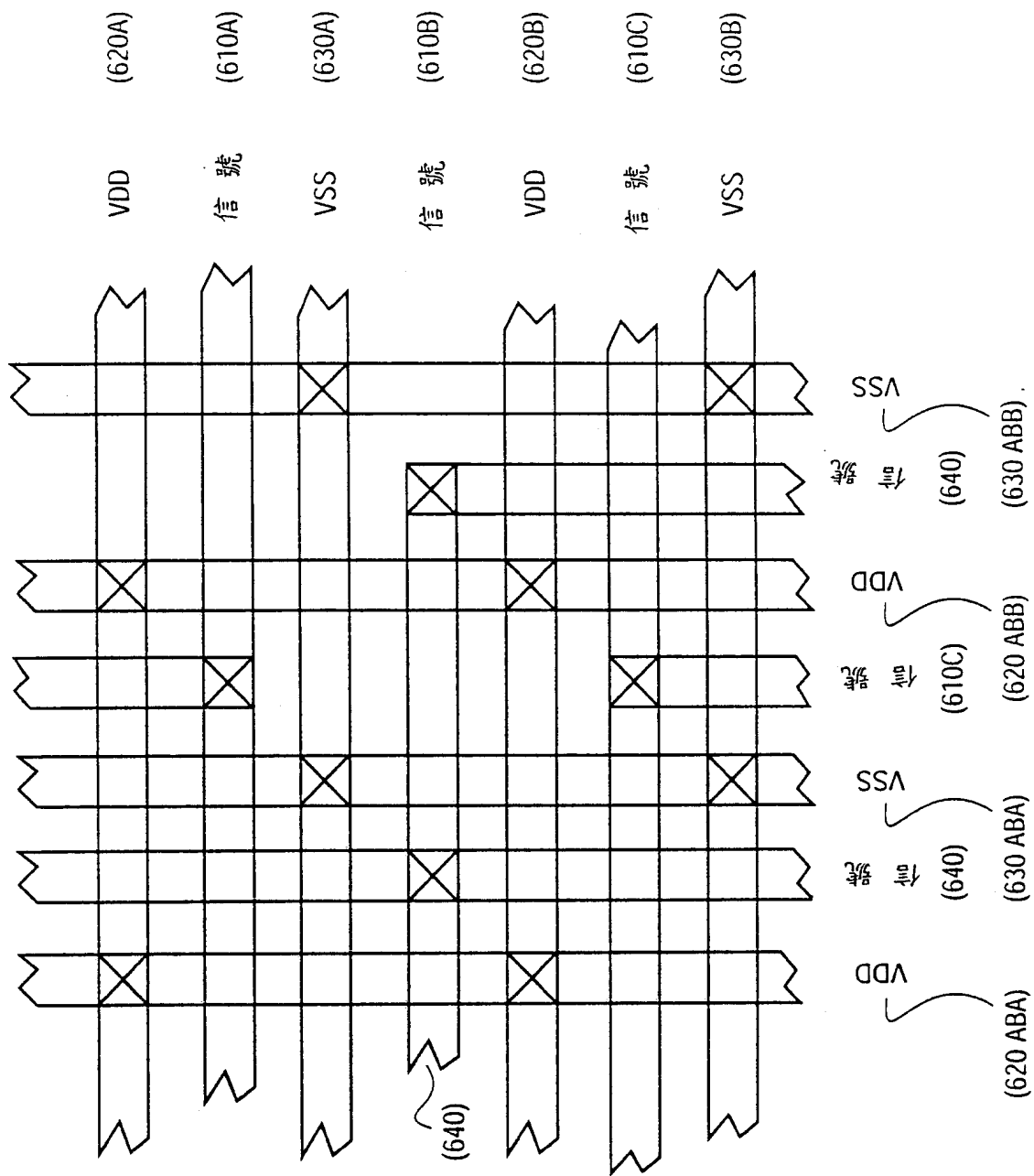


圖 3

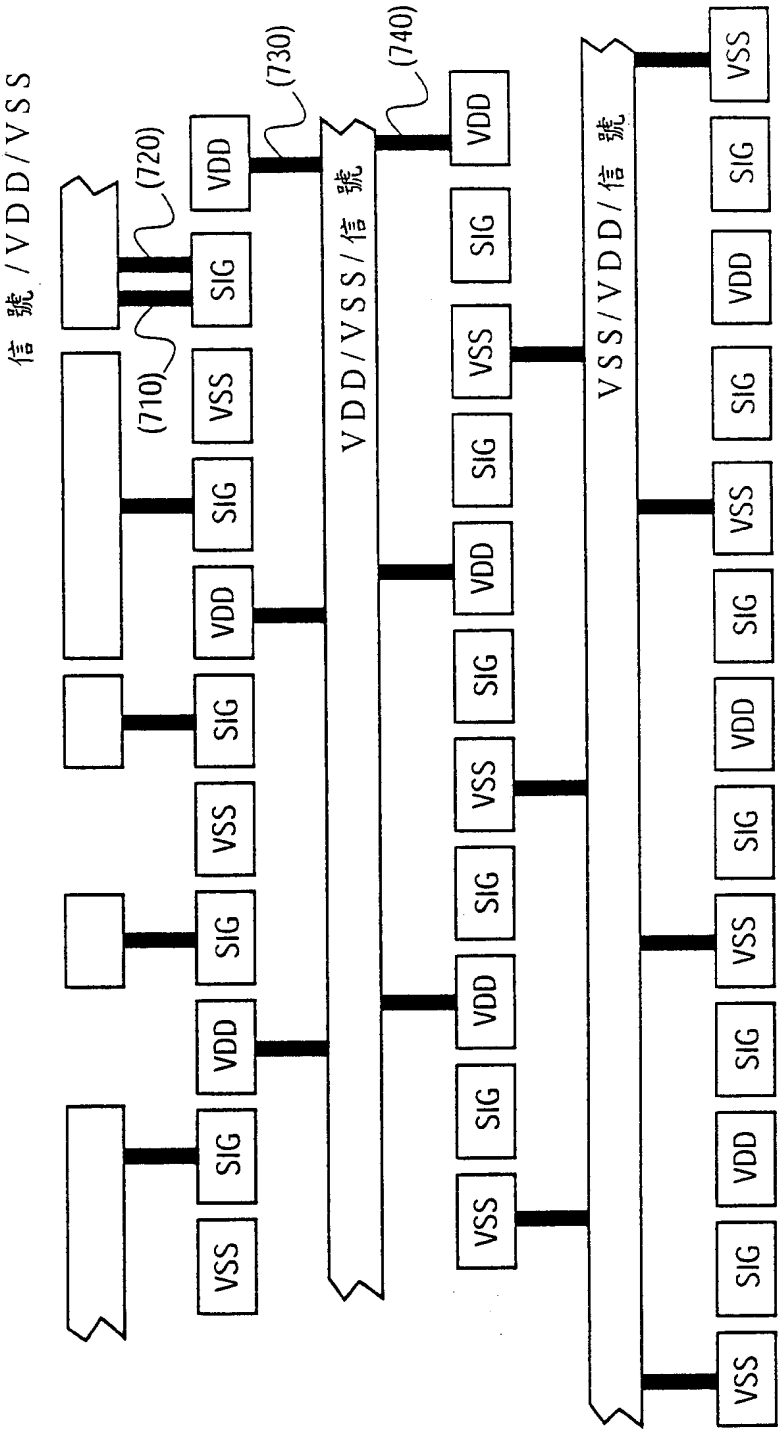




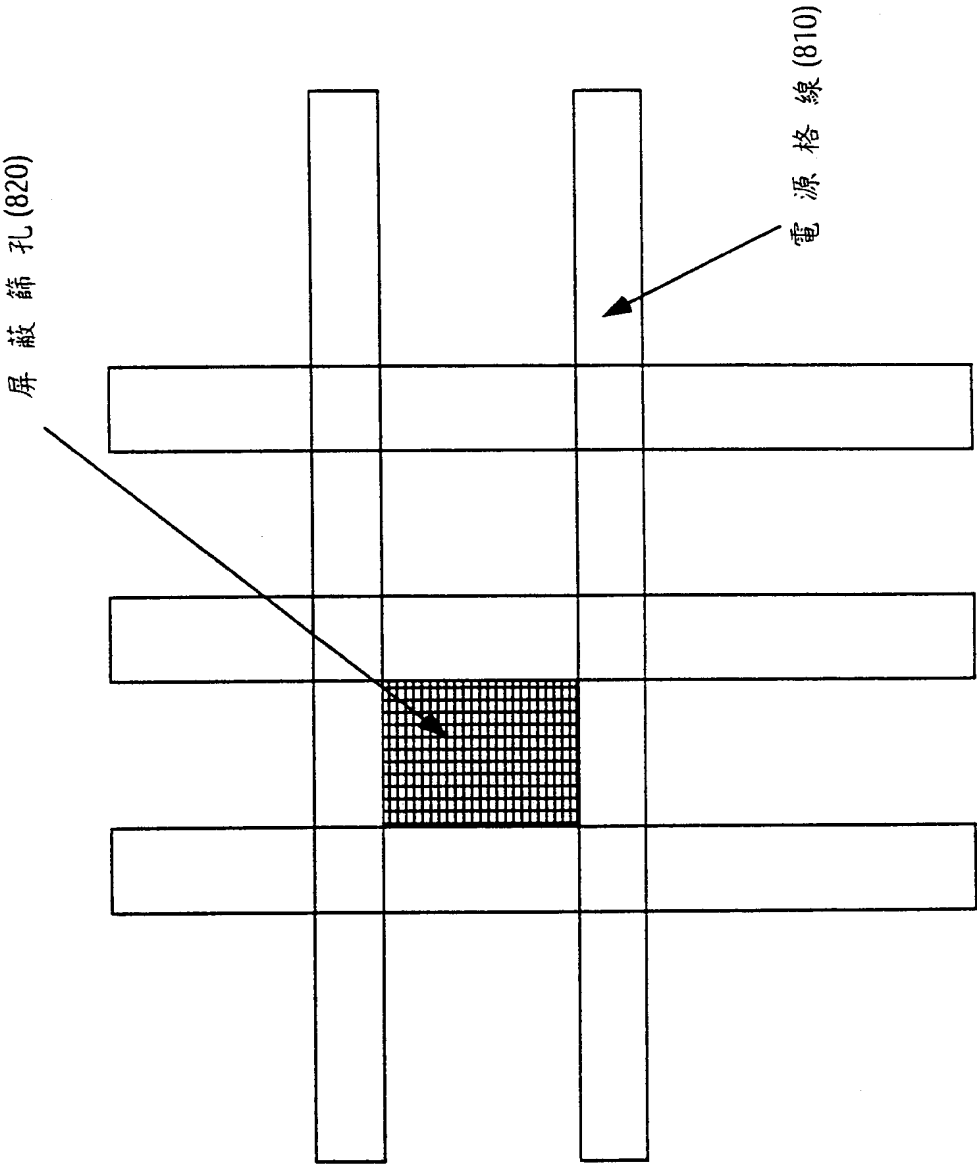
5



6

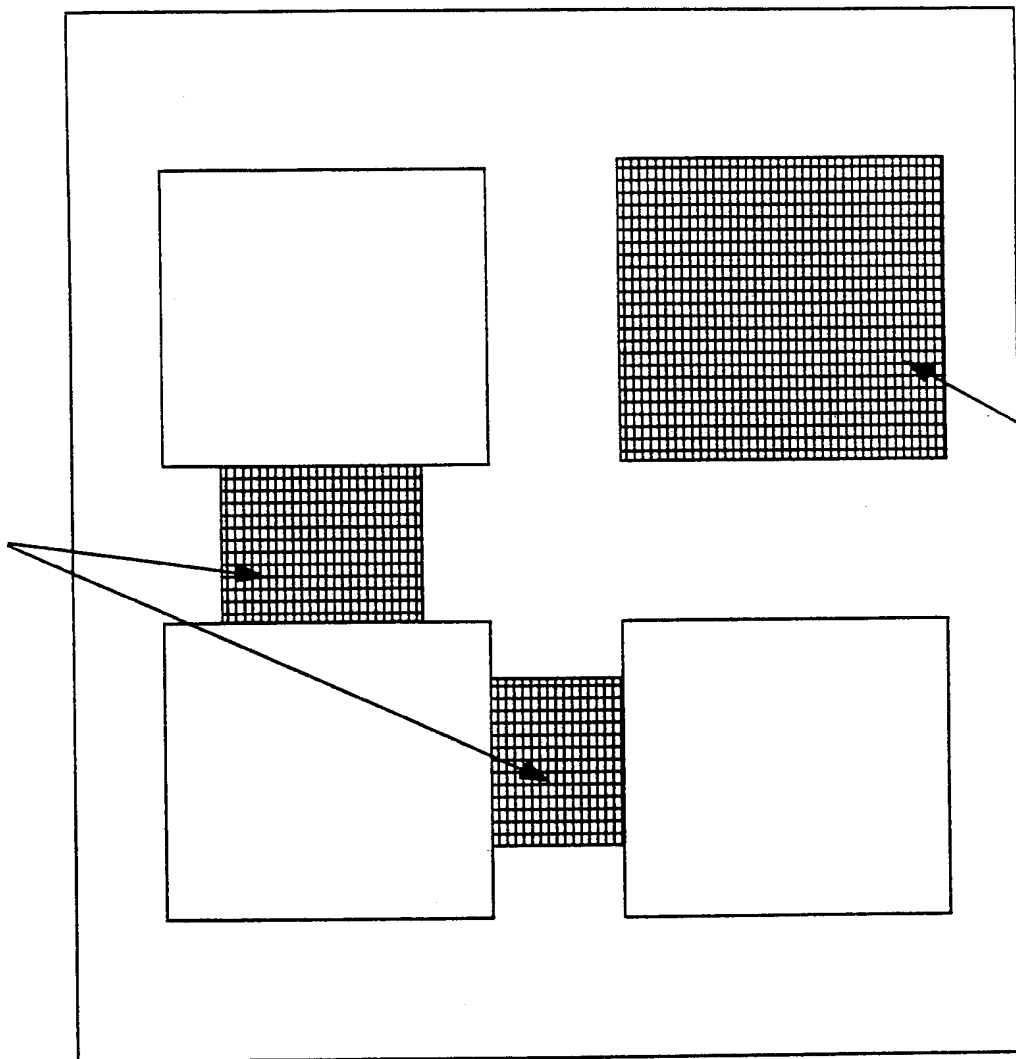


800



900

管道内 (910)



區塊内 (920)

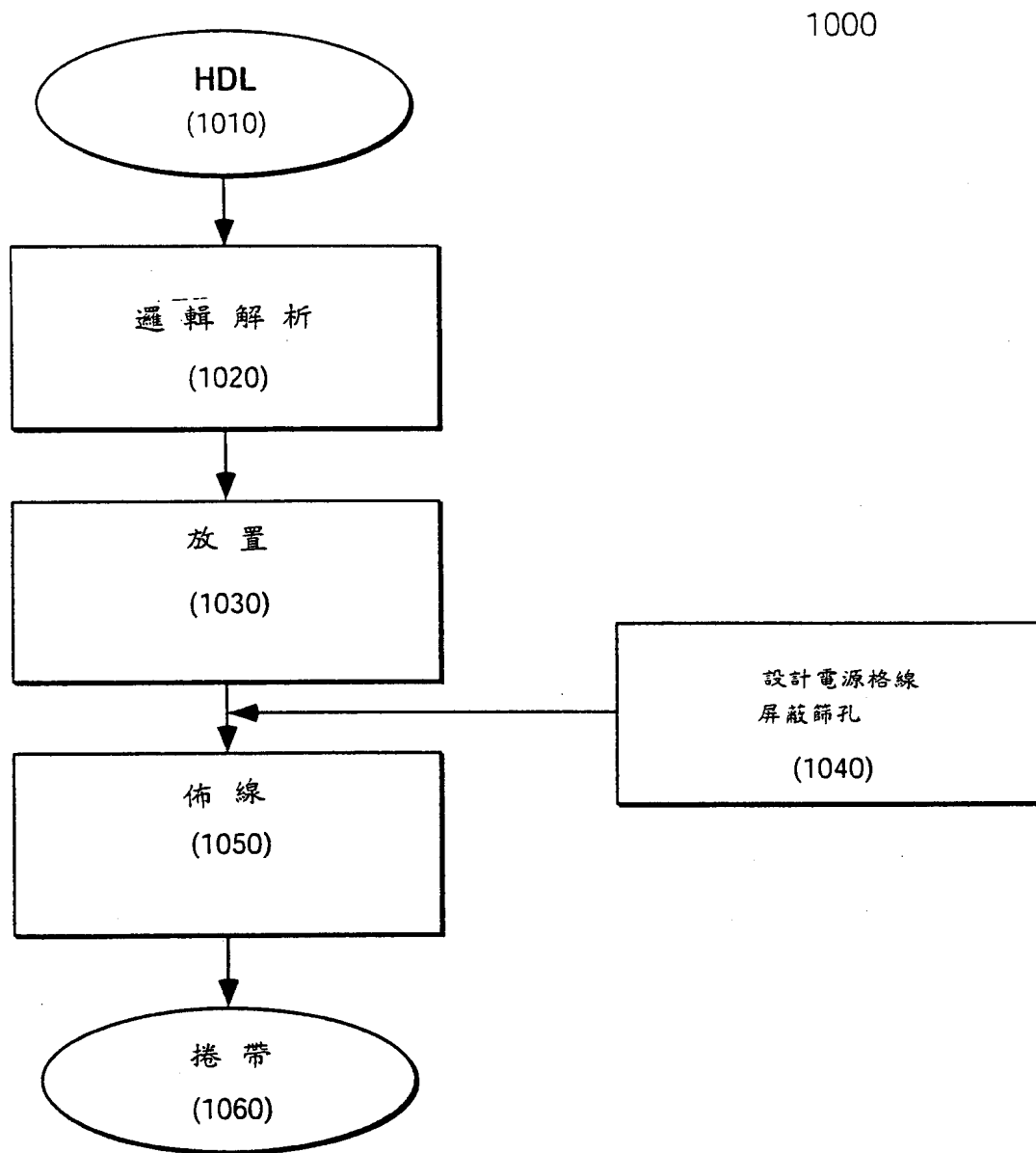


圖 10

申請日期	91.8.9
案 號	091118025
類 別	H01L 29/66

A4
C4

(以上各欄由本局填註)

中文說明書修正頁(91年11月) 91.11.27

發明專利說明書

一、發明 名稱	中 文	消除通經積體電路裝置內電容性及電感性信號耦合效果之電源及接地屏蔽篩孔
	英 文	POWER AND GROUND SHIELD MESH TO REMOVE BOTH CAPACITIVE AND INDUCTIVE SIGNAL COUPLING EFFECTS OF ROUTING IN INTEGRATED CIRCUIT DEVICE
二、發明 人	姓 名	玉蒙 湯姆 何 IU-MENG TOM HO
	國 籍	美國 U.S.A.
	住、居所	美國加州米爾皮塔市愛伯丁路560號 560 ABERDEEN WAY, MILPITAS, CALIFORNIA 95035, U.S.A.
三、申請人	姓 名 (名 稱)	美商辛普利斯提公司 SYNPLICITY, INC.
	國 籍	美國 U.S.A.
	住、居所 (事務所)	美國加州陽光谷西加利福尼亞路600號 600 W. CALIFORNIA AVE., SUNNYVALE, CA94086, U.S.A.
	代 表 人 姓 名	肯尼士 S. 麥克艾文 KENNETH S. MCELVAIN

五、發明說明 (13)

圖式元件符號說明

405A 層 N

405B 層 N+1

810 電源格線

820 屏蔽篩孔

SIG 信號線

SIGNAL 信號線

VDD 供電壓層 V_{dd} 之線

VIA 供層間連接通道

VSS 供電壓層 V_{ss} 之線

煩請委員明示，本案修正後是否變更原實質！

裝

訂

線

六、申請專利範圍

95. 12. 27

年 月 日修(更)正本

1. 一種積體電路裝置，其包括：
 - a) 複數個配置在一基板內的信號線；
 - b) 一配置在該基板之上的電源格線，包括：複數條具一第一厚度的電源線；及複數條具該第一厚度的接地線，用以供應電源及接地給該基板電路的電源格線；及
 - c) 配置在該基板之上的屏蔽篩孔，包括：複數條具一第二厚度的電源線；及複數條具該第二厚度的接地線，其中每一個該複數條信號線係配置在該基體的一層中而在該屏蔽篩孔的一鄰近電源線與該屏蔽篩孔的一鄰近接地線之間在該基體的一層中，用以降低該複數條信號線鄰近信號線之間的電子串話效果的屏蔽篩孔；其中該電源格線的平均線距較該屏蔽篩孔的平均線距為大。
2. 如申請專利範圍第1項之積體電路裝置，其中該第二厚度小於該第一厚度。
3. 如申請專利範圍第2項之積體電路裝置，其中該複數條信號線中的信號線都係與該第二厚度一樣厚。
4. 如申請專利範圍第1項之積體電路裝置，其中該屏蔽篩孔的電源線及接地線係交替配置，且在該基板單一金屬層內相互平行。
5. 如申請專利範圍第3項之積體電路裝置，其中該屏蔽篩孔的電源線及接地線的至少一部份係未對齊於該基體的基板格線線路。
6. 如申請專利範圍第1項之積體電路裝置，其中該屏蔽篩孔的電源及接地線的第一部份係交替配置於在該基板第

六、申請專利範圍

一金屬層內相互平行的第一方向中，及其中該屏蔽篩孔的電源及接地線的第二部份亦係交替配置於在該基板第二金屬層內相互平行的第二方向中，該第二金屬層係位於該第一金屬層下方，而且其中該第一及第二方向成90度。

7. 如申請專利範圍第1項之積體電路裝置，其中該電子串話包括電容性及電感性耦合。
8. 一種積體電路裝置，其包括：
 - a) 複數個配置在一基板內的信號線；
 - b) 一配置在該基板之上的電源格線，包括：複數條具第一厚度且用以供應第一電壓位準的第一線路；及複數條用以供應第二電壓位準的第二線路，用以供應電源給該基板電路的電源格線；及
 - c) 一配置在該基板之上的屏蔽篩孔，包括：複數條具第二厚度且用以供應第一電壓位準的第三線路；及複數條用以供應第二電壓位準的第四線路，其中該複數條信號線中每一個信號線係配置在該基體的一層中而在該屏蔽篩孔一鄰近的個別第三線路與該屏蔽篩孔的個別的一第四線路之間在該基體的一層中，用以降低該複數條信號線鄰近信號線之間的電子串話效果的屏蔽篩孔，其中該電源格線的平均線距較該屏蔽篩孔的平均線距為大。
9. 如申請專利範圍第8項之積體電路裝置，其中該第二厚度小於該第一厚度。

六、申請專利範圍

10. 如申請專利範圍第9項之積體電路裝置，其中該複數條信號線中的信號線都係與該第二厚度一樣厚。
11. 如申請專利範圍第8項之積體電路裝置，其中該屏蔽篩孔的第三及第四線路係交替配置，且該基板單一金屬層內相互平行。
12. 如申請專利範圍第10項之積體電路裝置，其中至少一部份的該屏蔽篩孔的第三及第四線路係未對齊於該基體的基板格線線路。
13. 如申請專利範圍第8項之積體電路裝置，其中該屏蔽篩孔的一第一部份的第三及第四線路係交替配置於在該基板第一金屬層內相互平行的第一方向中，及其中該屏蔽篩孔的一第二部份的第三及第四線路亦係交替配置於在該基板第二金屬層內相互平行的第二方向中，該第二金屬層係位於該第一金屬層下方，而且其中該第一及第二方向成90度。
14. 如申請專利範圍第13項之積體電路裝置，其中在該第一金屬層中的一部份的該第三線路及在該第二金屬層中的一部份的該第三線路係利用第一連接線耦合在一起。
15. 如申請專利範圍第14項之積體電路裝置，其中該在第一金屬層中的一部份的該第四線路及在該第二金屬層中的一部份的該第四線路係利用第二連接線耦合在一起。
16. 如申請專利範圍第8項之積體電路裝置，其中該電子串話包括電容性及電感性耦合。
17. 如申請專利範圍第8項之積體電路裝置，其中該屏蔽篩

六、申請專利範圍

孔會實質上佔用該基板可用面積的百分之50。

18. 一種積體電路裝置，其包括：

- a) 複數個配置在一基板內的信號線；
- b) 一配置在該基板之上的電源格線，包括：複數條電源線；及複數條接地線，用以供應電源及接地給該基板電路的電源格線；及
- c) 一配置在該基板之上的屏蔽篩孔，包括：複數條第一線路；及複數條第二線路，其中每一個該複數條信號線係配置在該基體的一層中而鄰近於在該屏蔽篩孔的一個別第一線路的其中之一線路與該屏蔽篩孔的個別第二線路的其中之一線路之間在該基體的一層中，用以降低該複數條信號線鄰近信號線之間的電子串話效果的屏蔽篩孔，其中該電源格線的平均線距較該屏蔽篩孔的平均線距為大。

19. 如申請專利範圍第18項之積體電路裝置，其中該屏蔽篩孔的第一及第二線路係交替配置，且該基板單一金屬層內相互平行。

20. 如申請專利範圍第18項之積體電路裝置，其中該屏蔽篩孔的第一及第二線路的一第一部份係交替配置於在該基板第一金屬層內相互平行的第一方向中，及其中該屏蔽篩孔的第一及第二線路的一第二部份亦係交替配置於在該基板第二金屬層內相互平行的第二方向中，該第二金屬層係位於該第一金屬層下方，而且其中該第一及第二方向成90度。

六、申請專利範圍

21. 一種積體電路裝置，其包括：

一基板；

配置於該基板內的電路；

複數條配置在該基板內的信號線，用以與該基板內之部份該電路互相連接；

一配置在該基板之上的電源格線，該電源格線包括：

複數條具第一厚度的第一線路，用以供應一第一電壓位準給該基板內之該電路；及

複數條第二線路，用以供應一第二電壓位準給該基板內之該電路；

一配置在該基板之上的屏蔽篩孔，該屏蔽篩孔包括：

複數條具第二厚度的第三線路，用以於該基板內供應一第三電壓位準；及

複數條第四線路，用以於該基板內供應一第四電壓位準；

其中每條該等信號線皆係配置在該基板其中一層內而在該屏蔽篩孔的該等第三線路中個別其中一條與該屏蔽篩孔的該等第四線路中個別其中一條之間且與其相鄰，用以降低該等信號線之鄰近信號線之間的電子串音效果；及

其中該第一厚度大於該第二厚度；及該電源格線之該等第一線路的第一部份與該屏蔽篩孔之該等第三線路的第一部份皆係位於該基板的第一層中。

22. 如申請專利範圍第21項之積體電路裝置，其中該等第一

六、申請專利範圍

與第二電壓位準分別為接地與電源；而該等第三與第四電壓位準則分別為VSS與VDD。

23. 如申請專利範圍第21項之積體電路裝置，其中該屏蔽篩孔的該等第三與第四線路的線段長度實質上小於該電源格線的該等第一與第二線路的線段長度。
24. 如申請專利範圍第21項之積體電路裝置，其中該等第一線路的第一部份與該等第三線路的第一部份皆平行於該基板的該第一層中的第一方向；該等第一線路的第二部份與該等第三線路的第二部份皆平行於該基板的第二層中的第二方向；以及，該第一方向與該第二方向形成一角度。
25. 如申請專利範圍第24項之積體電路裝置，其中該屏蔽篩孔進一步包括複數個通道，用以互連該等第三線路的該等第一與第二部份。
26. 一種積體電路裝置，其包括：
 - 一基板；
 - 配置於該基板內的電路；
 - 複數條配置在該基板內的信號線，用以與該基板內之部份該電路互相連接；
 - 一配置在該基板之上的電源格線，該電源格線包括：
 - 複數條具第一厚度的第一線路，用以供應一第一電壓位準給該基板內之該電路；及
 - 複數條第二線路，用以供應一第二電壓位準給該基板內之該電路；

六、申請專利範圍

一配置在該基板之上的屏蔽篩孔，該屏蔽篩孔包括：
複數條具第二厚度的第三線路，用以於該基板內供應一第三電壓位準；及

複數條第四線路，用以於該基板內供應一第四電壓位準；

其中每條該等信號線皆係配置在該基板其中一個別層內而在該屏蔽篩孔的該等第三線路中個別其中一條與該屏蔽篩孔的該等第四線路中個別其中一條之間且與其相鄰，用以降低該等信號線之鄰近信號線之間的電子串音效果；及

其中，垂直跨越該基板各層，每條該等信號線會與該屏蔽篩孔之該等第三線路中其中一條平行線路或該屏蔽篩孔之該等第四線路中其中一條平行線路中至少其中一條線路垂直相鄰，不過未與一平行信號線垂直相鄰。

27. 如申請專利範圍第26項之積體電路裝置，其中該等第一與第二電壓位準分別為接地電壓與電源；而該等第三與第四電壓位準則分別為VSS與VDD；而且其中每條該等信號線皆被垂直與水平遮蔽。

28. 如申請專利範圍第26項之積體電路裝置，其中該屏蔽篩孔進一步包括：

第一通道，用以互連跨越該基板各層的該等第三線路；及

第二通道，用以互連跨越該基板各層的該等第四線路。

六、申請專利範圍

29. 一種積體電路裝置，其包括：

一基板；

配置於該基板內的電路；

複數條配置在該基板內的信號線，用以與該基板內之部份該電路互相連接；

一配置在該基板之上的電源格線，該電源格線包括：

複數條第一線路，用以供應一第一電壓位準給該基板內之該電路；及

複數條第二線路，用以供應一第二電壓位準給該基板內之該電路；

一配置在該基板之上的屏蔽篩孔，該屏蔽篩孔包括：

複數條第三線路，用以供應一第三電壓位準給該基板內之該電路；及

複數條第四線路，用以供應一第四電壓位準給該基板內之該電路；

其中每條該等信號線皆係配置在該基板其中一層內而在該屏蔽篩孔的該等第三線路中個別其中一條與該屏蔽篩孔的該等第四線路中個別其中一條之間且與其相鄰，用以降低該等信號線之鄰近信號線之間的電子串音效果；及

其中該等第三線路與該等第四線路皆為無格線。

30. 如申請專利範圍第29項之積體電路裝置，其中該屏蔽篩孔進一步包括：

第一通道，用以互連跨越該基板各層中鄰近的該等第

六、申請專利範圍

三線路，與格線尺寸無關；及

第二通道，用以互連跨越該基板各層中鄰近的該等第四線路，與格線尺寸無關。

31. 如申請專利範圍第30項之積體電路裝置，其中該等第一與第二通道具有可變的尺寸。
32. 如申請專利範圍第29項之積體電路裝置，其中該屏蔽篩孔具有可變的線段尺寸，其不受限於格線寬度。
33. 如申請專利範圍第29項之積體電路裝置，其中該等第一線路與該等第二線路具有第一厚度；而該等第三線路、該等第四線路與該等信號線則具有第二厚度。
34. 一種積體電路裝置，其包括：

一基板；

配置於該基板內的電路；

複數條配置在該基板內的信號線，用以與該基板內之部份該電路互相連接；

一配置在該基板之上的屏蔽篩孔，該屏蔽篩孔包括：

複數條第一線路，用以於該基板內供應一第一參考電壓位準；及

複數條第二線路，用以於該基板內供應一第二參考電壓位準；

兩條通道，兩者可將該等信號線中的第一信號線連接至該等信號線中的第二信號線，該等信號線中的該第一信號線與該第二信號線分別位於該基板的第一層與第二層之中，該等信號線中的該第一信號線與該第二信號線

六、申請專利範圍

會形成一角度；

其中每條該等信號線皆係配置在該基板其中一層內而在該屏蔽篩孔的該等第一線路中個別其中一條與該屏蔽篩孔的該等第二線路中個別其中一條之間且與其相鄰，用以降低該等信號線之鄰近信號線之間的電子串音效果。

35. 如申請專利範圍第34項之積體電路裝置，其中該等信號線中的該第一信號線係鋪設於該第一層的第一方向中；該等信號線中的該第二信號線係鋪設於該第二層的第二方向中；以及，該第一方向與該第二方向分隔90度。
36. 如申請專利範圍第34項之積體電路裝置，其中該等兩個通道彼此相鄰。
37. 如申請專利範圍第34項之積體電路裝置，其中該等第一線路與該等第二線路具有相同的第一厚度。
38. 如申請專利範圍第37項之積體電路裝置，其中該等第一與第二參考電壓位準分別為接地與電源。
39. 如申請專利範圍第37項之積體電路裝置，進一步包括：
一配置在該基板之上的電源格線，該電源格線包括：
複數條具第二厚度的第三線路，用以供應一第三電壓位準給該基板內之該電路；及
複數條第四線路，用以供應一第四電壓位準給該基板內之該電路；
其中該第二厚度實質上大於該第一厚度。
40. 如申請專利範圍第39項之積體電路裝置，其中該等第四

六、申請專利範圍

線路具有該第二厚度。

41. 如申請專利範圍第40項之積體電路裝置，其中該等第一與第二參考電壓位準分別為VSS與VDD；而該等第三與第四電壓位準則分別為接地與電源。

42. 如申請專利範圍第39項之積體電路裝置，其中該屏蔽篩孔進一步包括：

複數個相鄰的第一通道，用以互連跨越該基板各層之該屏蔽篩孔中的該等第一線路；及

複數個相鄰的第二通道，用以互連跨越該基板各層之該屏蔽篩孔中的該等第二線路。

43. 一種設計積體電路 (IC) 的方法，該方法包括：

於該積體電路的至少一層中產生一屏蔽篩孔的代表物，該屏蔽篩孔具有第一複數條線路用以提供一第一參考電壓，以及具有第二複數條線路用以提供一第二參考電壓；

於該積體電路的該至少一層中產生一電源格線的代表物，該電源格線具有複數條第一參考電壓線路以及複數條第二參考電壓線路，該電源格線可供應電源給該IC中的電路，以及其中該等複數條第一及第二參考電壓線路具有：(a)一平均線路間隔，其實質上大於該屏蔽篩孔中的平均線路間隔，或(b)一厚度，其大於該屏蔽篩孔中的線路。

44. 如申請專利範圍第43項之方法，其中該方法至少有一部份係以EDA工具來實施。

六、申請專利範圍

45. 如申請專利範圍第44項之方法，其中該方法會使用以HDL所撰寫的初始碼。

46. 如申請專利範圍第44項之方法，其進一步包括：

產生複數條信號線的代表物，使其經過該屏蔽篩孔。

47. 一種設計積體電路 (IC) 的方法，該方法包括：

於該積體電路的至少第一與第二層中產生一屏蔽篩孔的代表物，該屏蔽篩孔具有第一複數條線路用以提供一第一參考電壓，以及具有第二複數條線路用以提供一第二參考電壓；

於該屏蔽篩孔中產生複數條信號線的代表物，其中，垂直跨越該IC各層，每條該等信號線會與該等第一複數條線路中其中一條平行線路或該等第二複數條線路中其中一條平行線路中至少其中一條線路垂直相鄰，不過未與一平行信號線垂直相鄰。

48. 如申請專利範圍第47項之方法，其中該方法至少有一部份係以EDA工具來實施。

49. 如申請專利範圍第47項之方法，其中該方法會使用以HDL所撰寫的初始碼。

50. 一種設計積體電路 (IC) 的方法，該方法包括：

於該積體電路的至少一層中產生一屏蔽篩孔的代表物，該屏蔽篩孔具有第一複數條線路用以提供一第一參考電壓，以及具有第二複數條線路用以提供一第二參考電壓；

產生複數條信號線的代表物，使其經過該屏蔽篩孔，

六、申請專利範圍

其中該屏蔽篩孔並無格線。

51. 如申請專利範圍第50項之方法，其中該方法至少有一部份係以EDA工具來實施。

52. 如申請專利範圍第51項之方法，其中該方法會使用以HDL所撰寫的初始碼。

53. 一種設計積體電路 (IC) 的方法，該方法包括：

於該積體電路的至少一層中產生一屏蔽篩孔的代表物，該屏蔽篩孔具有第一複數條線路用以提供一第一參考電壓，以及具有第二複數條線路用以提供一第二參考電壓；及

產生經由該屏蔽篩孔之複數條信號線的代表物，其中至少一該信號線經至少二通道被耦合到在另一層上的一信號線。

54. 如申請專利範圍第53項之方法，其中該方法至少一部份係以EDA工具來實施。

55. 如申請專利範圍第54項之方法，其中該方法使用以HDL所撰寫的初始碼。